

Japanese Patent Office  
Patent Laid-Open Application

Patent Laying-Open No. 61-35368

Date of Laying-Open: February 19, 1986

International Class(es) G 01 R 23/15  
23/10

---

( 4 pages in all)

Title of the Invention:

Patent Appln. No. 59-158246

Filing Date: July 28, 1984

Inventor(s): Akira SAWAMURA

Applicant(s): ROHM CO., LTD.

**BEST AVAILABLE COPY**

Partial English Translation of Japanese  
Patent Laying-Open No. 61-35368

1. Title of the Invention  
Frequency determining apparatus
2. Claim for Patent

A frequency determining apparatus comprising: first counter means reset at every one period of an input signal of which frequency is to be determined, for outputting a pulse every time clock pulses are counted in each of time zones provided by divided said one period into a plurality of time zones; and second counter means for counting the pulses from said first counter means at every one period of said input signal; wherein frequency of said input signal is determined dependent on whether the period of said input signal belongs to which of said plurality of time zones, based on the count value counted by said second counter means.

⑬ 公開特許公報(A)

昭61-35368

⑫ Int. Cl.<sup>4</sup>

G 01 R 23/15  
23/10

識別記号

庁内整理番号

7359-2G  
7359-2G

⑭ 公開 昭和61年(1986)2月19日

審査請求 未請求 発明の数 1 (全4頁)

① 発明の名称 周波数判別装置

② 特 願 昭59-158246

③ 出 願 昭59(1984)7月28日

④ 発 明 者 沢 村 陽 京都市右京区西院溝崎町21番地 ローム株式会社内

⑤ 出 願 人 ローム株式会社 京都市右京区西院溝崎町21番地

⑥ 代 理 人 弁理士 中沢 謹之助

明 細 書

1. 発明の名称

周波数判別装置

2. 特許請求の範囲

周波数判別対象の入力信号の1周期毎にリセットされ、クロックパルスを、前記1周期内を複数に区画した各時間帯内にわたってカウントする毎にパルスを出力する第一のカウンタ手段と、前記第一のカウンタ手段からのパルスを前記入力信号の1周期毎にカウントする第二のカウンタ手段とを備え、前記第二のカウンタ手段のカウント値から、前記入力信号の周期が前記複数の時間帯のうちのいずれの時間帯に属するかをもって、前記入力信号の周波数を判別するようにした周波数判別装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は周波数判別装置に関する。

(従来の技術)

入力信号の周波数をデジタル的に判別するのに、

従来では入力信号の1周期中に到来するクロックパルスをバイナリカウンタでカウントし、これを設定値と比較してその大小関係から判別するようにしていた。これを具体的に説明すると、入力信号の1周期毎に発生するパルスを、前記バイナリカウンタのリセット信号と、前記バイナリカウンタの出力値が与えられるラッチレジスタのラッチパルスとに使用するようにしておき、入力信号の1周期中にカウントしたクロックパルスのカウント値を前記ラッチレジスタに前記ラッチパルスによりラッチしてレジストし、このレジストされた値と、予めレジスタにレジストされてある設定周波数のバイナリデータとを比較器により比較して、その大小関係から入力信号の周波数を判別するようにしていた。

これによれば、一応は周波数の判別は可能であるにしても、その判別は設定周波数に対する大小関係の判別にとどまり、何れの周波数帯域に属するかまでは判別出来ない。

これを解決するには、それぞれ設定値を具にす

る多数のデータレジスタ及び比較器を用意し、各比較器に、ラッチレジスタにレジストされた値を与えて比較すれば、その各比較出力から入力信号の周波数帯域を判別することができるようになる。しかしこのような構成によれば、データレジスタ並びに比較器を多数用意しなければならず、しかもその判別分解能を高めようとするときは、それに応じてデータレジスタおよび比較器の数を増やさなければならない。したがってそれだけ構成が煩雑になるし、またその製作費も高つくつといった欠点がある。

(発明が解決しようとする問題点)

この発明は複数の周波数帯域での周波数の判別を、簡単な構成で可能にすることを目的とする。

(問題点を解決するための手段)

この発明は入力信号の1周期の期間中にクロックパルスを予め設定した値だけカウントする毎にパルスを発生するようにし、そのパルスを前記1周期の期間中にカウントしてそのカウント値から入力信号の周波数帯域を判別するようにしたこと

- 3 -

にリセットされて繰り返される。又前記1周期Tの期間内においてこれを複数の時間帯に区別し、そのそれぞれを $T_1 \sim T_n$ とすると、カウント値が $f_c T_1 \sim f_c T_n$ のとき、出力端子 $A_1 \sim A_n$ から順次パルス $P_1 \sim P_n$ を出力する。このパルスはオアゲート2に入力される。

上記の説明を具体的な数字をもって説明すると、いまクロックパルス $f_c$ の周波数を例えば50 KHzとし、時間 $T_1, T_2, \dots, T_{10}$ をそれぞれ1 ms, 2 ms,  $\dots, 10$  msに設定したとすると、クロックパルス $KC$ の50パルス、100パルス、 $\dots, 500$ パルスを順次カウントしたとき、パルス $P_1, P_2, \dots, P_{10}$ が順次出力されていくことになる。

3は周波数判別対象の入力信号IP(周波数を $f_1$ とする。)が与えられる入力端子で、この入力信号IPはタイミング発生回路4に与えられ、ここからリセットパルスRPとラッチパルスLPを発生する。第2図に示す例では入力信号IPが立ち上がる時点でラッチパルスLPを出し、この

を特徴とする。

(作用)

入力信号の1周期の期間を複数の時間帯に区別し、そのそれぞれの時間を $T_1 \sim T_n$ (ただし各時間の始期は同じ時刻である。)とし、又クロックパルスの周波数を $f_c$ とすると、前記のようにクロックパルスを予め $f_c T_1 \sim f_c T_n$ の数だけクロックパルスをカウントする毎に順次パルスが発生するように設定する。そして入力信号の1周期中に前記パルスをカウントすれば、そのカウント値から前記入力信号の周期が、前記のように区別した時間 $T_1 \sim T_n$ のうちのどの時間帯に属するかが判明する。したがってこれから入力信号の周期すなわち周波数が判別できるようになるのである。

(実施例)

この発明の実施例を図によって説明する。第1図において1は入力信号の周期に関するカウント動作を行うバイナリカウンタで、これは周波数が $f_c$ のクロックパルス $CK$ を入力としてカウントする。このカウント動作は入力信号の1周期T毎

- 4 -

ラッチパルスLPが立ち下がる時点でリセットパルスRPを出す。このような各パルスLP, RPを出力するタイミング発生回路4は、論理回路の組合せによって簡単に構成できることはよく知られている。

5はオアゲート2からの出力パルスを入力としてこれをカウントするパルスカウンタ、6は前記パルスカウンタ5の出力をレジストするラッチレジスタである。パルスカウンタ5は前記バイナリカウンタ1とともにタイミング発生回路4からのリセットパルスRPによってリセットされ、又ラッチレジスタ6はラッチパルスLPによってラッチされる。ラッチされたラッチレジスタ6の値は出力端子7に出力される。

次に図示する構成の動作について説明する。前述の例にならい、 $f_c$ が50 KHz、 $T_1 \sim T_{10}$ を1 ms $\sim 10$  msとした場合、バイナリカウンタ1はこれがリセットされてから次にリセットされるまでの間(入力信号の1周期の間)に、最初にクロックパルス $CK$ の50パルスをカウントし

- 5 -

- 6 -

たとき、出力端子A1よりパルスP1を出力し、又100パルスをカウントしたとき、出力端子A2よりパルスP2を出力し、以下同様にして500パルスをカウントしたとき、出力端子A10からパルスP10を出力するようになる。

したがって入力信号の1周期の間にパルスP1のみが出力されたとすると、そのときの入力信号の周期は1ms以上であって2ms未満であると判断できる。これからそのときの入力信号の周波数は1KHzから0.5KHzまでの間にあることが理解できる。又パルスP1、P2のみが出力されたとすると、そのときの入力信号の周期は2ms以上であって3ms未満であり、したがって周波数は0.5KHzから0.3KHzまでの間にあることが理解できる。以下同様にしてパルスP1～P10の数から入力信号の周波数の帯域が理解できるようになる。

前記パルスP1等はオアゲート2を経てパルスカウンタ5に入力され、ここでカウントされる。このカウント値は入力信号の1周期毎にリセット

され、及びラッチレジスタ6にレジストされる。前述のようにバイナリカウンタ1からのパルスP1等の数から入力信号の周波数帯域が判別出来るので、パルスカウンタ5のカウント値したがってラッチレジスタ6のレジスト値の出力を、その出力端子7から読み取れば、そのときの入力信号の周波数の帯域が判別できるようになるのである。

なお上記した具体的数値において、時間T1、T2等と同じ時間々隔として説明したが、これに限られるものではなく、たとえば判別しようとする周波数帯域が等間隔となるように時間T1等を適宜設定するようにしてもよい。

#### (発明の効果)

以上詳述したようにこの発明によれば、判別しようとする周波数帯域の数に關係なく、単にバイナリカウンタを用意するだけで各周波数帯域の判別が可能となり、したがって従来のように判別しようとする周波数帯域の数に応じた数だけの設定周波数のためのデータレジスタおよび比較器を何等用意する必要がなくなり、したがってそれだけ

- 7 -

- 8 -

構成が簡単となり、かつ安価に製作できるようになるといった効果を奏する。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示す回路図、第

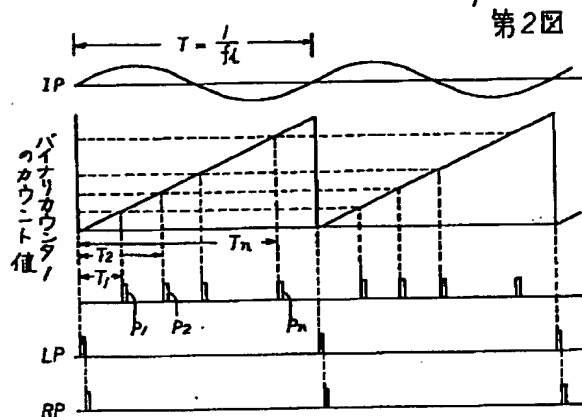
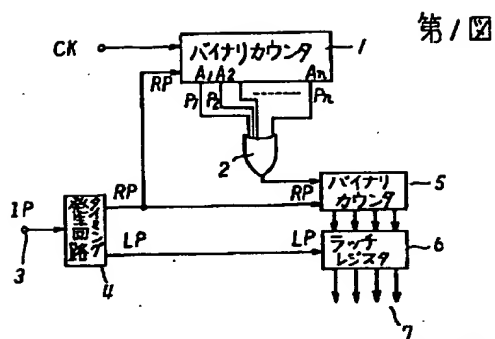
2図は動作説明用のタイムチャート図である。

1…バイナリカウンタ、2…オアゲート、3…入力端子、4…タイミング発生回路、5…カウンタ、6…ラッチレジスタ、7…出力端子

特許出願人 ローム株式会社  
代理人 中 澤 直 之



- 9 -



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**